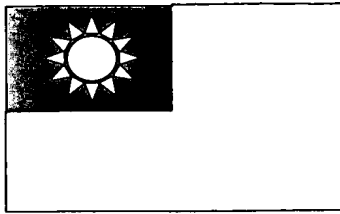


Erh-Kun LAI
03/11/04-BSKB
703-205-8000
0941-0931P



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申 請 日：西元 2003 年 10 月 27 日
Application Date

申 請 案 號：092129733
Application No.

申 請 人：旺宏電子股份有限公司
Applicant(s)

局 長
Director General

蔡 練 生

發文日期：西元 2004 年 1 月 15 日
Issue Date

發文字號：09320050590
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	氮化物唯讀記憶體之製造方法
	英 文	Method of fabricating an nitride read only memory
二、 發明人 (共1人)	姓 名 (中文)	1. 賴二琨
	姓 名 (英文)	1. Erh-Kun Lai
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 台中縣龍井鄉遊園北路411巷14號
	住居所 (英 文)	1.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 旺宏電子股份有限公司
	名稱或 姓 名 (英文)	1. MACRONIX INTERNATIONAL CO., LTD.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹科學工業園區新竹市力行路16號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. No. 16, Li-Hsin Road, Science-Based Industrial Park, Hsin-Chu, Taiwan, R.O.C.
	代表人 (中文)	1. 胡定華
	代表人 (英文)	1. Hu, Ding Hua



0389_8356TWE(NI); P020056-LOEING.prd

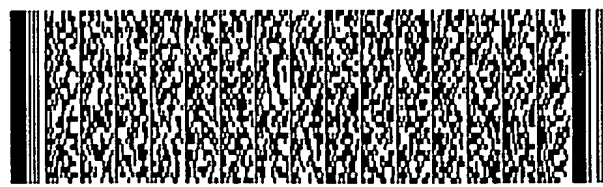
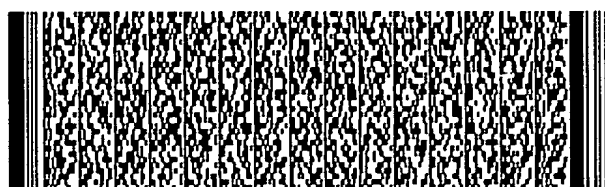
四、中文發明摘要 (發明名稱：氮化物唯讀記憶體之製造方法)

本發明提供一氮化物唯讀記憶體之製造方法，並將氮化物唯讀記憶體與週邊邏輯電路之製程步驟整合，以簡化製程並提高產品良率。本發明技術之特徵在於利用複晶矽層做為絕緣層(氧化層)之研磨停止層。本發明技術之另一特徵為在形成絕緣層(氧化層)於週邊區域之複數個第一溝槽的同時亦填入該氧化層於記憶體陣列區域中之複晶矽結構間以防止半導體基材於複晶矽之自行對準矽化物步驟中與金屬(例如：鈷)發生反應。本發明技術之另一特徵為利用成長ONO介電層於淺溝槽(STI, shallow trench isolation)內側，以防止淺溝槽之邊角凹陷(STI corner Recess)及防止淺溝槽於後續加熱過程(Thermal process)中導致的淺溝槽輪廓(STI profile)變形所產生的錯位(Dislocation)。

五、(一)、本案代表圖為：第12圖

六、英文發明摘要 (發明名稱：Method of fabricating an nitride read only memory)

A process of fabricating a nitride read only memory is provided. The invention is characterized by using the polysilicon layer as the polishing stop layer. Also, another feature of this invention is forming oxide materials between the polysilicon structures in the memory array region such that the reaction between the semiconductor substrate and metal (such as cobalt) during



四、中文發明摘要 (發明名稱：氮化物唯讀記憶體之製造方法)

(二)、本案代表圖之元件代表符號簡單說明：

- 10~ 記憶體區域；
- 20~ 週邊區域；
- 30~ 主動區域；
- 100~ 半導體基材；
- 106 ~ 埋藏式擴散區域；
- 110a~ 複數個第一溝槽；
- 110b~ 第二溝槽；
- 112~ONO 介電層；
- 114~ 複晶矽層(字元線)；
- 120a ~ 氧化層；
- 122~ 井區域；

六、英文發明摘要 (發明名稱：Method of fabricating an nitride read only memory)

salicidation of polysilicon can be avoided.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得, 不須寄存。



五、發明說明 (1)

【發明所屬之技術領域】

本發明係有關於一種非揮發記憶單元之製造方法，特別是有關於一種氮化物唯讀記憶體之製造方法及其與週邊邏輯電路區域之整合，以簡化製程並提高產品良率。

【先前技術】

在非揮發記憶體工業中，氮化物唯讀記憶單元(NROM)的發展起源於西元1996年。此新式的非揮發記憶體技術係採用氧化-氮化-氧化(oxide-nitride-oxide, ONO)層作為閘極介電層，由於矽晶粒之尺寸大小為成本架構中的主要要素，因此氮化物唯讀記憶單元技術具有經濟上的競爭力。

雖然，氮化物唯讀記憶體具有雙位元(two bit)之多儲存功能(multi-storage)，並且製程較類似產品如快閃記憶(flash ROM)體簡單，同時亦廣受市場歡迎。但是，光是改良是不夠的。因為，目前半導體工業已經朝向系統晶片(system on chip, SOC)的趨勢發展，換句話說，是將記憶元件與一些電路元件，同時製作在同一晶片中，以使同一晶片上即包含記憶體以及混合信號電路(mixed-signal circuits)，如在美國專利第5,908,311號中，便已提出製作混合信號電路中包含快閃記憶體的方法。但基於快閃記憶體與氮化物唯讀記憶體在特性以及應用上的不同，如何製作出整合氮化物唯讀記憶體以及混合信號電路之系統晶片，即成為十分重要的發展方向。

【發明內容】



五、發明說明 (2)

本發明的目的在於提供一氮化物唯讀記憶體之製造方法，其將氮化物唯讀記憶體與週邊之邏輯電路之製程步驟整合，以簡化製程並增加產品良率。

為達上述目的，本發明之製造方法特徵為(1)利用沉積複晶矽層做為記憶區域上之字元線，並利用該複晶矽做為絕緣層(氧化層)之研磨停止層。(2)利用在將絕緣層(氧化層)沉積於週邊區域之複數個第一溝槽的同時，亦將該氧化層填入記憶體陣列區域中之複晶矽結構間以防止半導體基材於複晶矽之自行對準矽化物之步驟中與金屬(例如：鈷)發生反應。(3)利用成長ONO介電層於淺溝槽(STI, shallow trench isolation)內側，以防止淺溝槽之邊角凹陷(STI corner Recess)及防止淺溝槽於後續加熱過程(Thermal process)中導致的淺溝槽輪廓(STI profile)變形所產生的錯位(Dislocation)。

根據上述之目的與特徵，本發明提供一種氮化物唯讀記憶體之製造方法，該方法包含下列步驟：

提供一半導體基材，該基材表面包含有一記憶區域(memory area)及一週邊區域(periphery area)；

成長一墊氧層於該半導體基材上；

於該記憶區域內之該墊氧層上形成具複數個第一開口之第一遮罩圖案，以作為複數條縱向排列之位元線遮罩(bit line mask)；

於該半導體基材中進行一離子佈植製程，植入摻雜物於未被該位元線遮罩覆蓋之記憶單元區域中以形成複數條



五、發明說明 (3)

縱向且平行之埋藏式位元線；

而此埋藏式位元線之離子佈植製程亦可於後續ON0介電層形成後再進行。

去除該位元線遮罩；以及

形成一第二遮罩圖案於該墊氧層上，其中第二遮罩圖案具複數個第二開口於該周邊區域中；

沿上述第二開口選擇性蝕刻該半導體基材而形成複數個第一溝槽及一第二溝槽於該周圍區域；

去除該第二遮罩圖案及該墊氧層；

於該半導體基材表面形成一ON0介電層，以覆蓋該記憶區域及該週邊區域；

沉積一複晶矽層於該ON0介電層上以填充該複數個第一及該第二溝槽；

選擇性蝕刻該複晶矽層以於該記憶區域中形成複數個正交於位元線之複晶矽結構作為字元線，且同時於該週邊區域中移除填充於該複數個第一溝槽之複晶矽，並留下填充於第二溝槽之複晶矽；以及

於該週邊區域之複數個第一溝槽及該記憶區域之字元線間形成一絕緣材。

平坦化該絕緣材，以在該複數個第一溝槽及該記憶區域之字元線間形成溝槽隔離區；

定義該週邊區域之離子佈植井區域於複數個第一溝槽間；

蝕刻部分該複晶矽結構及該ON0介電層以露出複數個



五、發明說明 (4)

第一溝槽間之半導體基材；以及

進行一離子佈植製程，於上述露出的基材中形成離子井(well)區域。

其中，位元線係藉由磷、砷離子植入以形成，且閘極介電層係一氧化一氮化一氧化(ON₂O)層，而字元線係由複晶矽所構成。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉出較佳實施例，並配合所附圖式，作詳細說明如下：

【實施方式】

以下配合第1到第12圖說明本發明氮化物唯讀記憶單元製造方法之實施例。首先，請參照第1圖，提供一半導體基材100(例如:P型單晶矽)該基材包含一記憶區域10(memory area)及一週邊區域20(periphery area)，且該半導體基材係由一矽覆絕緣(silicon-on-insulator, SOI)基底或一矽基底所組成。藉由熱氧化法將墊氧層102成長於半導體基材100上。接著參考第2圖，利用一微影製程於墊氧層102上之記憶區域內形成圖案化第一光阻層104以形成具複數個第一開口104a之第一遮罩圖案，利用該光阻層第一開口遮罩圖案做為位元線遮罩，對未被該位元線遮罩覆蓋之複數個開口區域進行一離子佈植製程，之後進行一快速回火製程(rapid thermal annealing, RTA)用來活化植入於該基底中之摻雜物。

藉由N型離子(例如:磷離子，砷離子)植入該複數個開



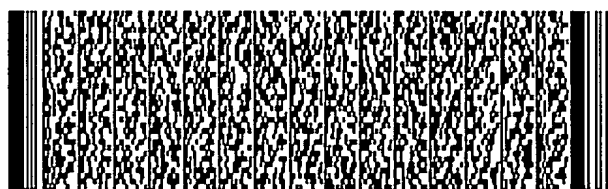
五、發明說明 (5)

口區域以形成複數條縱向且平行排列的埋藏式擴散區域106，該擴散區域106即氮化物唯讀記憶體之位元線。

如第3圖所示，藉傳統清除法將光阻圖案104除去。利用微影製程將蝕刻溝槽所需之第二光阻圖案108形成於墊氧層102上，其中第二光阻圖案108具複數個第二開口108a於週邊區域20上，利用此光阻圖案108做為蝕刻罩幕，以反應離子蝕刻法(RIE)形成複數個第一溝槽110a即一第二溝槽110b，其中該複數個第一溝槽110a係用以區隔週邊區域20成複數個電性隔離的主動區域30，接著參考第4圖，光阻圖案108藉傳統清除法除去至墊氧層露出為止。然後，再將墊氧層移除以露出半導體基材100的上方表面。

如第5圖所示，形成一構造為ONO介電層112於記憶區域10以及週邊區域20之基材上100，其包含形成於埋藏式擴散區域106及複數個第一溝槽110a及第二溝槽110b之半導體基材100上。該ONO介電層112利用傳統方法形成該厚度係介於150至250微米，其中該底氧化層厚度係介於20至150微米，該氮化矽層厚度係介於20至150微米，而該上氧化層厚度係介於30至150微米。利用該成長於淺溝槽(STI, shallow trench isolation)內側之ONO介電層112，以防止淺溝槽之邊角凹陷(STI corner Recess)及防止淺溝槽於後續加熱過程(Thermal process)中導致的淺溝槽輪廓(STI profile)變形所產生的錯位(Dislocation)。

埋藏式位元線106之離子佈植製程亦可於ONO介電層後，以形成複數條縱向且平行之埋藏式位元線；其中形成



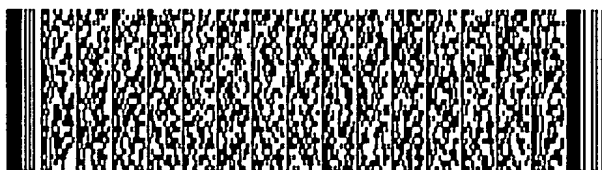
五、發明說明 (6)

於記憶區域10之埋藏式擴散區域106上的ON0介電層112係用以作為記憶體之閘極介電層。

接下來請參照第6圖，將摻雜之複晶矽填入ON0介電層112上，以於該記憶區域10之埋藏式擴散區域106上形成字元線114，此外該複晶矽層114亦做為絕緣材(氧化層)之研磨停止層。

接著，如第7圖所示，形成一光阻圖案116於摻雜之複晶矽層114上。該光阻圖案116用以定義記憶區域中之橫向且平行排列之字元線區，及定義欲除去之複數個第一溝槽110a中之複晶矽材料的區域。然後，利用光阻圖案116做為蝕刻罩幕並選擇性蝕刻已摻雜之複晶矽層114以露出ON0層112。並留下記憶區域中之橫向且平行排列之複晶矽層114以做為字元線

參照第8圖，藉傳統清除法除去光阻圖案116以露出剩餘的複晶矽114，為了更清楚表示第8圖中該氮化矽唯讀記憶體之結構，請參照第9、10圖。其中第9圖為一整合記憶區域10及週邊區域20之平面表示圖，其中記憶區域10中包含縱向平行排列之複數條位元線106及橫向平行排列之字元線114，而週邊區域包含複數個主動區122及複數個電性隔離之溝槽110a。而第10圖為由第9圖中之記憶區單元中沿9-9線段切下之剖面圖，其中底層為複數條橫向排列之位元線106，該位元線間為未植入摻雜物之半導體基材100，位於該位元線106與基材100上則為一ON0介電層112，於該介電層上則為複數條正交於位元線之字元線



五、發明說明 (7)

114，而該複數條字元線間之具有複數個溝槽115。

接著請參照第11圖，沉積絕緣材例如氧化層120a於複數個第一溝槽110a中以提供週邊區域20複數個電性隔離的主動區域30，並同時沉積該絕緣層120b於記憶區域中之字元線間溝槽115(第10圖)，如第10圖所示，在後續金屬化複晶矽114以降低元件阻值之過程中利用該沉積於字元線間溝槽115之絕緣層120b(未顯示)作為半導體基材100之遮罩以避免基材金屬化。而該絕緣材通常為二氧化矽其沉積方式以高密度電漿化學氣相沉積法(HPCVD)為佳，接著利用複晶矽層114為研磨停止層以除去多餘之絕緣材，並於週邊區域20之主動區30中留下於複數個第一溝槽中之絕緣層120a以做為電性隔離之用及於記憶區域10中留下複數個做為金屬化罩幕之用的絕緣層120b，接著利用複晶矽層作為研磨停止層114，以化學機械研磨法平坦化絕緣材120a，120b。

最後請參照第12圖，利用包含有選擇性蝕刻主動區30中之複晶矽層114及ONO層112以露出一部分之半導體基材100，並以植入法形成井區域122。

本發明藉由上述之製程方式以簡化並改善習知之製程技術，其利用複晶矽層同時做為字元線、及絕緣層(氧化層)之研磨停止層；並利用同時沉積絕緣層(氧化層)於週邊區域之複數個第一溝槽及記憶體陣列區域中之複晶矽結構間以作為阻隔層以分別作為主動區之隔離及防止基材之金屬化；利用該成長於淺溝槽(STI, shallow trench



五、發明說明 (8)

isolation) 內側之ONO介電層，防止淺溝槽之邊角凹陷 (STI corner Recess) 及防止淺溝槽於後續加熱過程 (Thermal process) 中導致的淺溝槽輪廓 (STI profile) 變形所產生的錯位 (Dislocation)。



圖式簡單說明

第1~8、10~12圖係繪示本發明氮化物唯讀記憶體之製造方法及其與週邊電路整合之剖面示意圖。

第9圖係繪示本發明氮化物唯讀記憶體之製造方法之俯視圖。

【符號說明】

- 10~記憶體區域；
- 20~週邊區域；
- 30~主動區域；
- 100~半導體基材；
- 102~墊氧層；
- 104~光阻圖案；
- 104a~第一開口；
- 106~埋藏式擴散區域；
- 108~光阻圖案；
- 108a~第二開口；
- 110a~複數個第一溝槽；
- 110b~第二溝槽；
- 112~ONO介電層；
- 114~複晶矽層(字元線)；
- 116~光阻圖案；
- 120a, 120b~絕緣層(氧化層)；
- 122, 124, 126~井區域；



六、申請專利範圍

1. 一種氮化物唯讀記憶體(nitride read only memory, NROM)之製造方法，該方法包括下列步驟：

提供一半導體基材，該基材表面包含有一記憶區域(memory area)及一週邊區域(periphery area)；

成長一墊氧層於該半導體基材上；

於該記憶區域內之該墊氧層上形成具複數個第一開口之第一遮罩圖案，以作為複數條縱向排列之位元線遮罩(bit line mask)；

於該半導體基材中進行一離子佈植製程，植入摻雜物於未被該位元線遮罩覆蓋之記憶單元區域中以形成複數條縱向且平行之埋藏式位元線；

去除該位元線遮罩；以及

形成一第二遮罩圖案於該墊氧層上，其中第二遮罩圖案具複數個第二開口於該周邊區域中；

沿上述第二開口選擇性蝕刻該半導體基材而形成複數個第一溝槽及一第二溝槽於該周圍區域；

去除該第二遮罩圖案及該墊氧層；

於該半導體基材表面形成一ON0介電層，以覆蓋該記憶區域及該週邊區域；

沉積一複晶矽層於該ON0介電層上以填充該複數個第一及該第二溝槽；

選擇性蝕刻該複晶矽層以於該記憶區域中形成複數個正交於位元線之複晶矽結構作為字元線，且同時於該週邊區域中移除填充於該複數個第一溝槽之複晶矽，並留下填



六、申請專利範圍

充於第二溝槽之複晶矽；以及

於該週邊區域之複數個第一溝槽及該記憶區域之字元線間形成一絕緣材。

2. 如申請專利範圍第1項所述之以氮化物唯讀記憶體之製造方法，更包括：

平坦化該絕緣材，以在該複數個第一溝槽及該記憶區域之字元線間形成溝槽隔離區；

定義該週邊區域之離子佈植井區域於複數個第一溝槽間；

蝕刻部分該複晶矽結構及該ONO介電層以露出複數個第一溝槽間之半導體基材；以及

進行一離子佈植製程，於上述露出的基材中形成離子井(well)區域。

3. 如申請專利範圍第1項所述之氮化物唯讀記憶體之製造方法，其中該半導體基材係為一矽基底。

4. 如申請專利範圍第1項所述之氮化物唯讀記憶體之製造方法，其中該半導體基材係為一矽覆絕緣(silicon-on-insulator, SOI)基底。

5. 如申請專利範圍第1項所述之氮化物唯讀記憶體之製造方法，其中該墊氧化層係藉由熱氧化法形成。

6. 如申請專利範圍第1項所述之氮化物唯讀記憶體之製造方法，其中該埋藏的字元線藉由植入N-型離子於半導體基材而形成。

7. 如申請專利範圍第1項所述之氮化物唯讀記憶體之



六、申請專利範圍

製造方法，其中該埋藏式位元線之離子佈植製程係於ON0介電層形成之前再進行。

8. 如申請專利範圍第1項所述之氮化物唯讀記憶體之製造方法，其中該埋藏式位元線之離子佈植製程係於ON0介電層形成之後再進行。

9. 如申請專利範圍第1項所述之氮化物唯讀記憶體之製造方法，其中該方法於進行離子佈植製程之後尚包含有一快速回火製程(rapid thermal annealing, RTA)用來活化植入於該基底中之摻雜物。

10. 如申請專利範圍第1項所述之氮化物唯讀記憶體之製造方法，其中該位元線遮罩為一圖案化光阻。

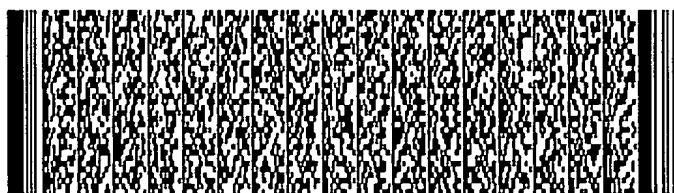
11. 如申請專利範圍第1項所述之氮化物唯讀記憶體之製造方法，其中該ON0介電層厚度係介於150至250微米。

12. 如申請專利範圍第1項所述之氮化物唯讀記憶體之製造方法，其中該ON0介電層更形成於淺溝槽內側以防止淺溝槽之邊角凹陷(STI corner Recess)。

13. 如申請專利範圍第1項所述之氮化物唯讀記憶體之製造方法，其中該ON0介電層更形成於淺溝槽內側以防止淺溝槽於後續加熱過程(Thermal process)中導致的淺溝槽輪廓(STI profile)變形所產生的錯位(Dislocation)。

14. 如申請專利範圍第1項所述之氮化物唯讀記憶體之製造方法，其中該絕緣層為二氧化矽層。

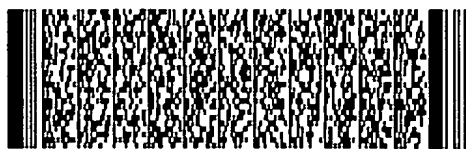
15. 如申請專利範圍第1項所述之氮化物唯讀記憶體之製造方法，其中該複晶矽層包含摻雜之複晶矽。

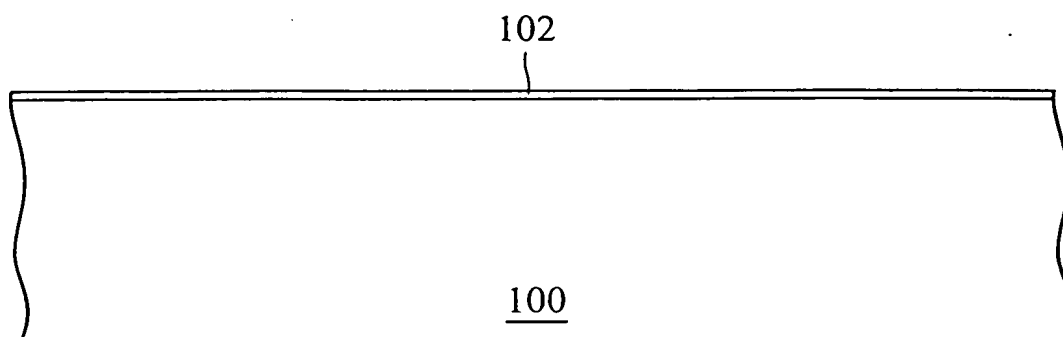


六、申請專利範圍

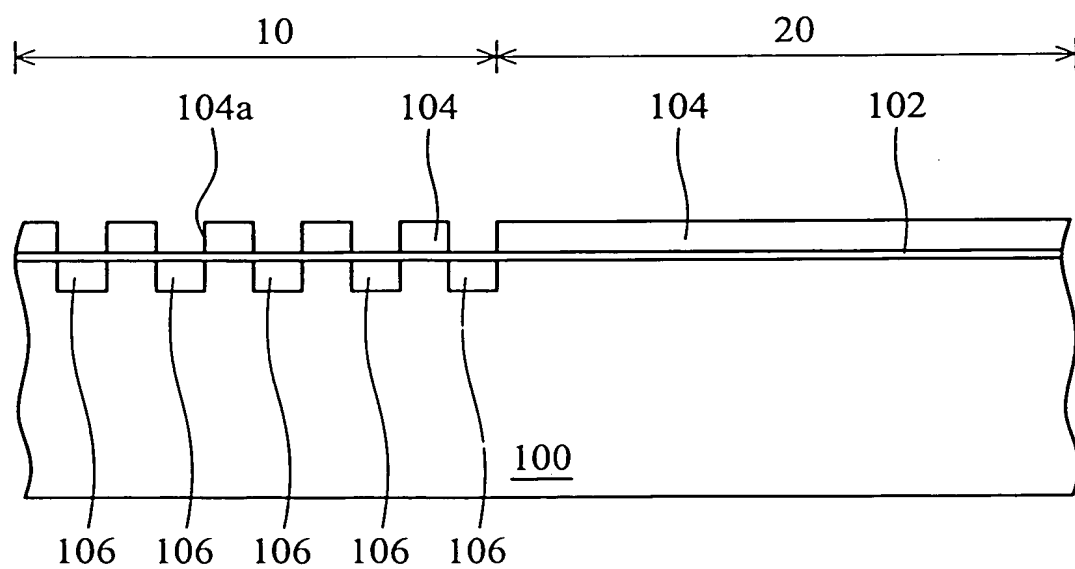
16. 如申請專利範圍第1項所述之氮化物唯讀記憶體之製造方法，其中該絕緣層係由高密度電漿化學氣相沉積法(HDPCVD)形成。

17. 如申請專利範圍第2項所述之氮化物唯讀記憶體之製造方法，其中該絕緣層係由化學機械研磨法平坦化。

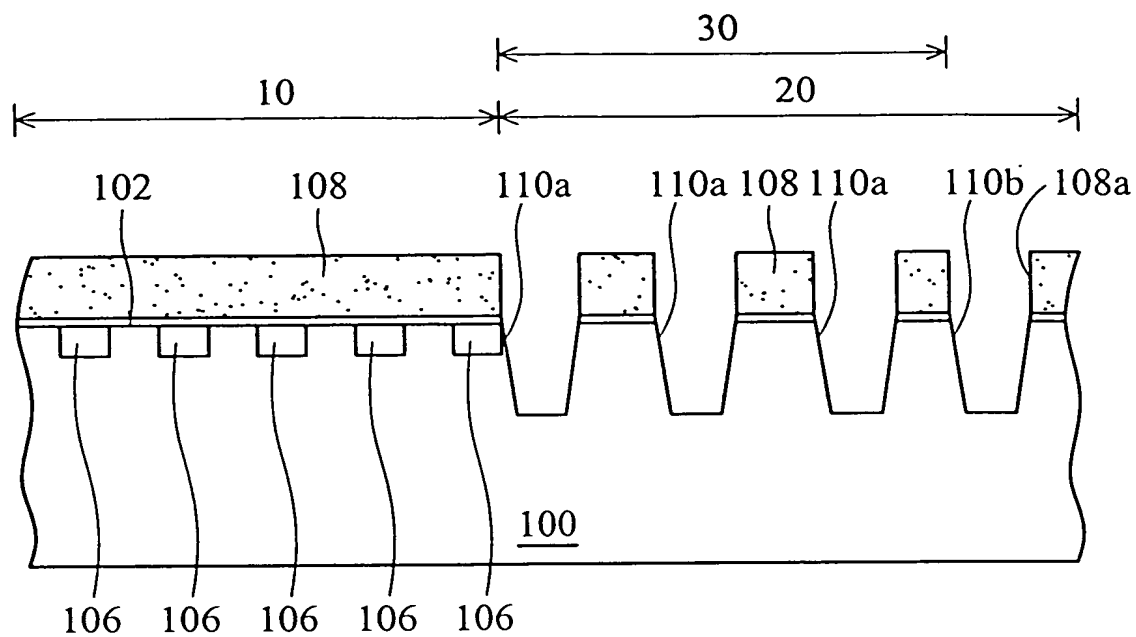




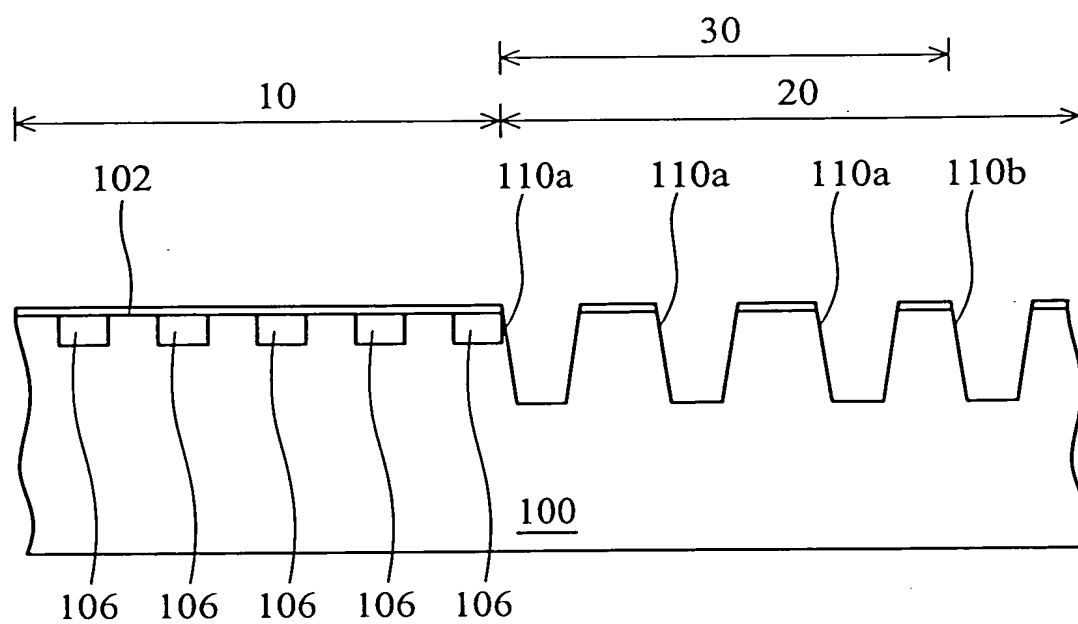
第 1 圖



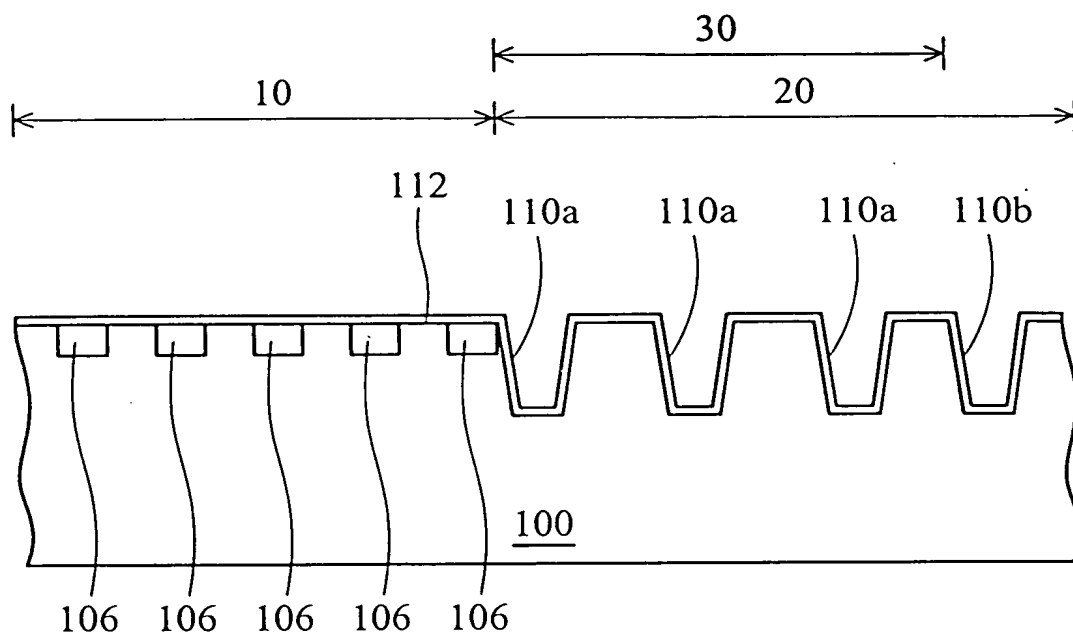
第 2 圖



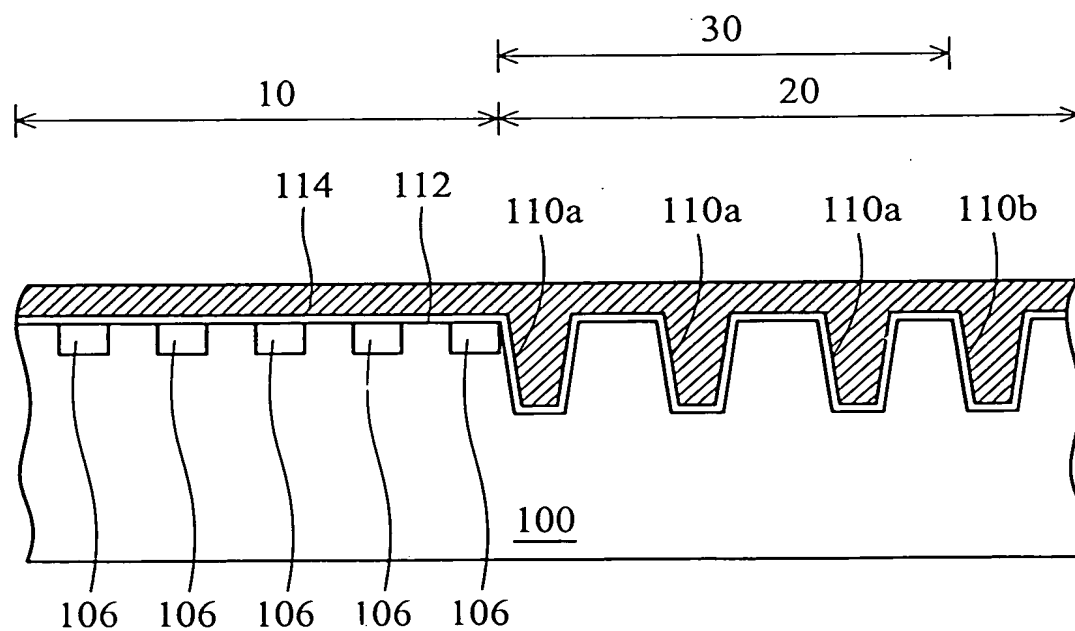
第 3 圖



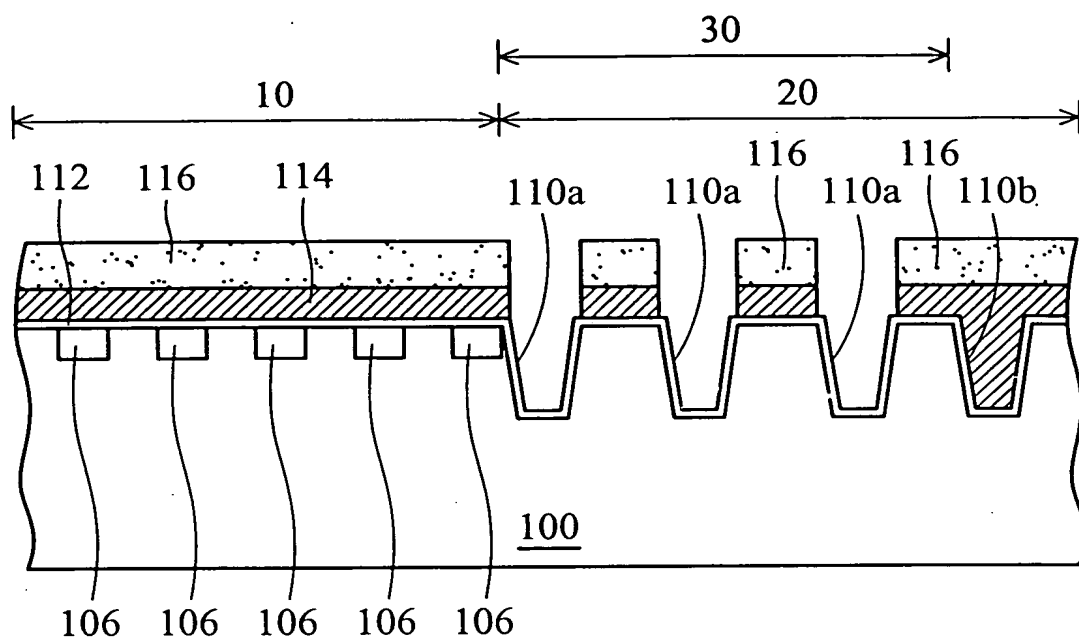
第 4 圖



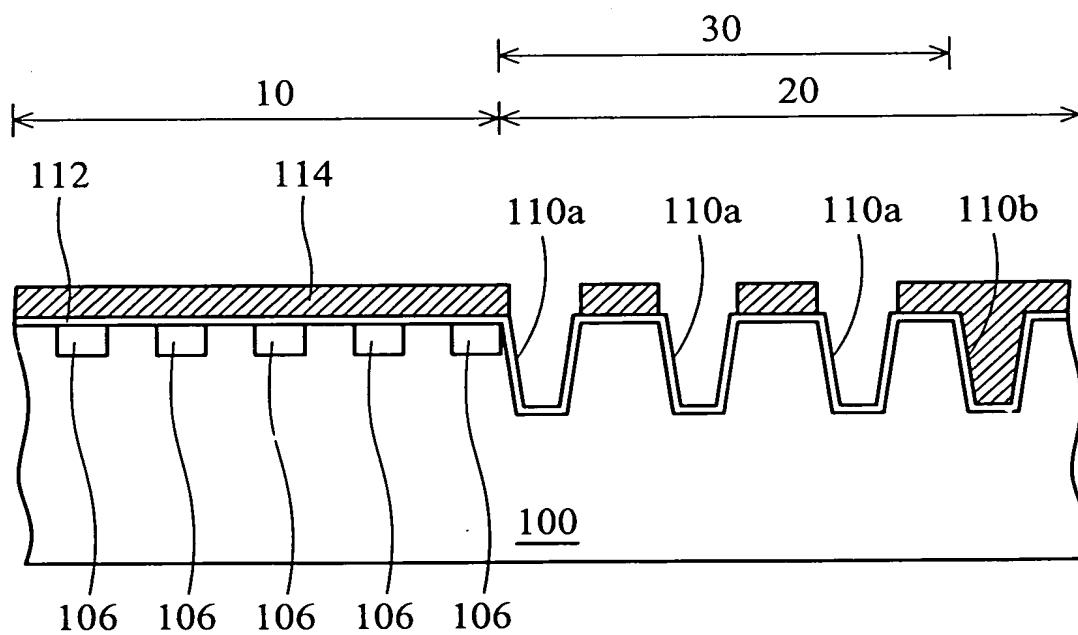
第 5 圖



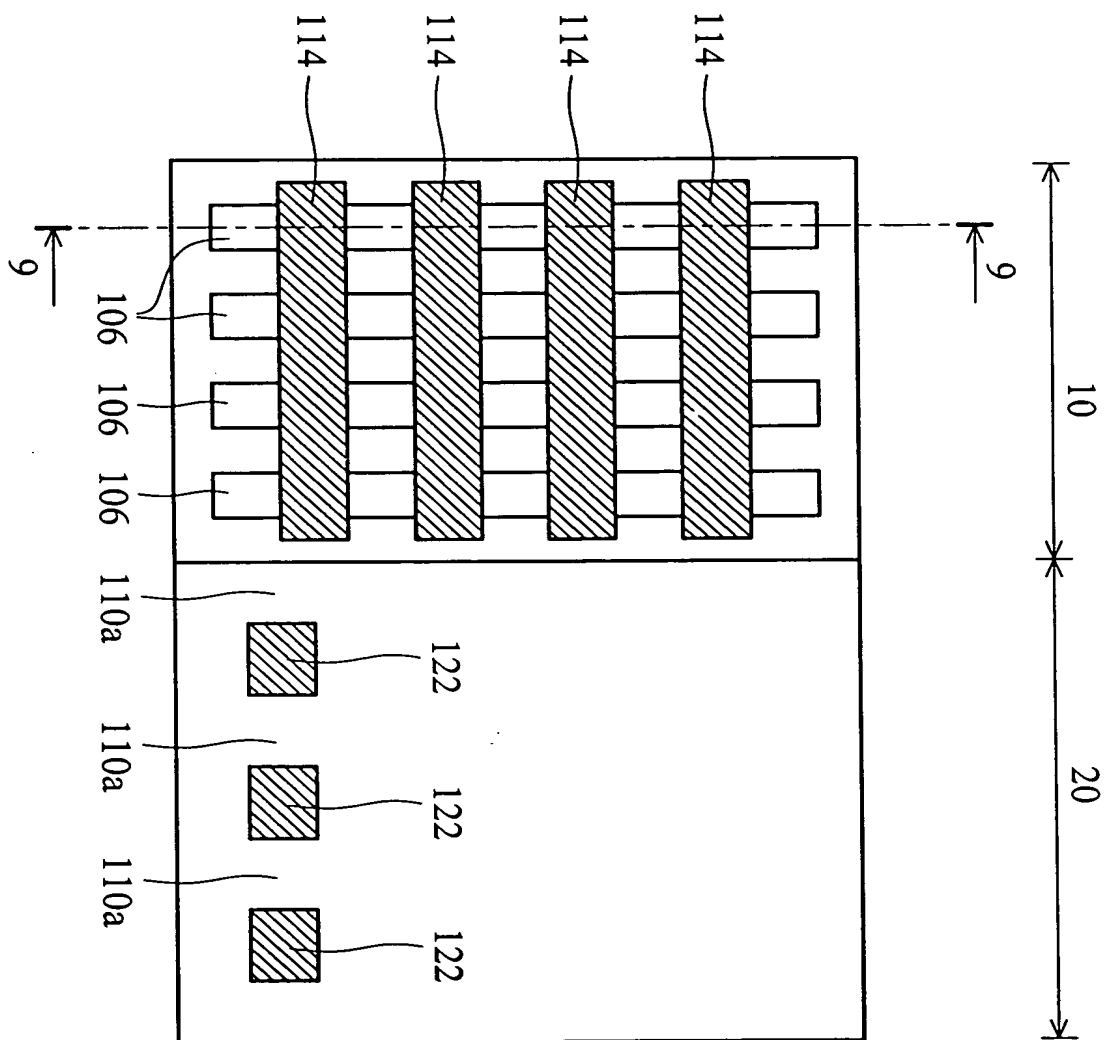
第 6 圖



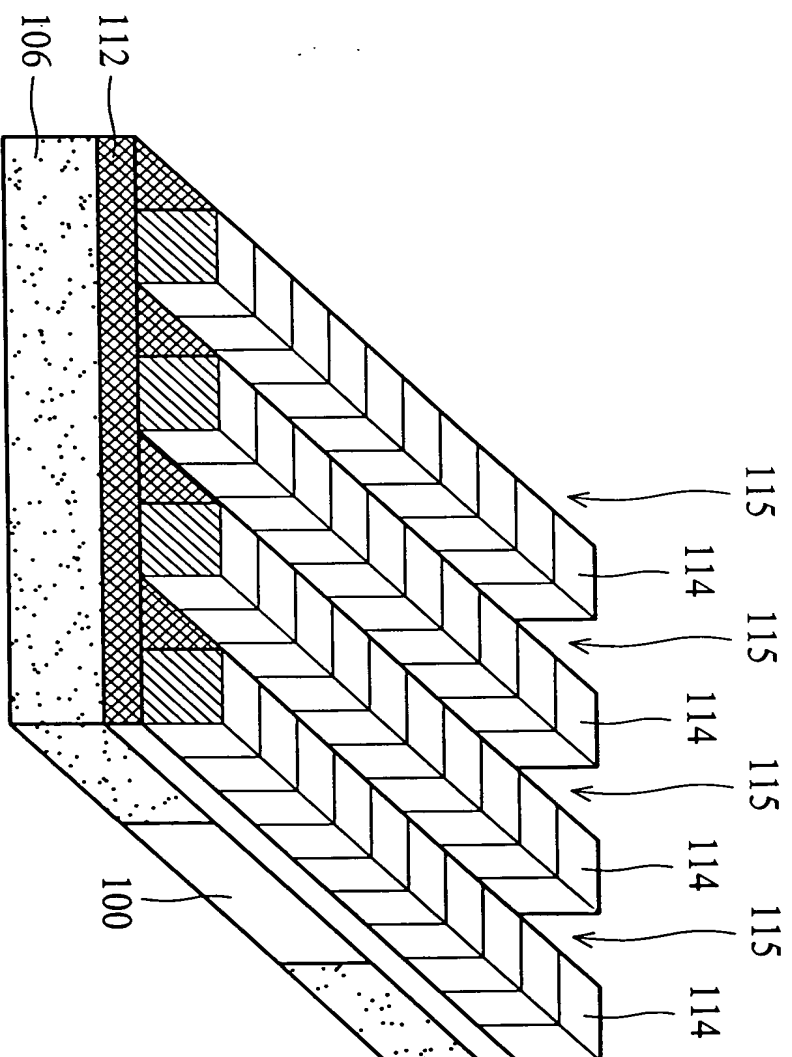
第 7 圖



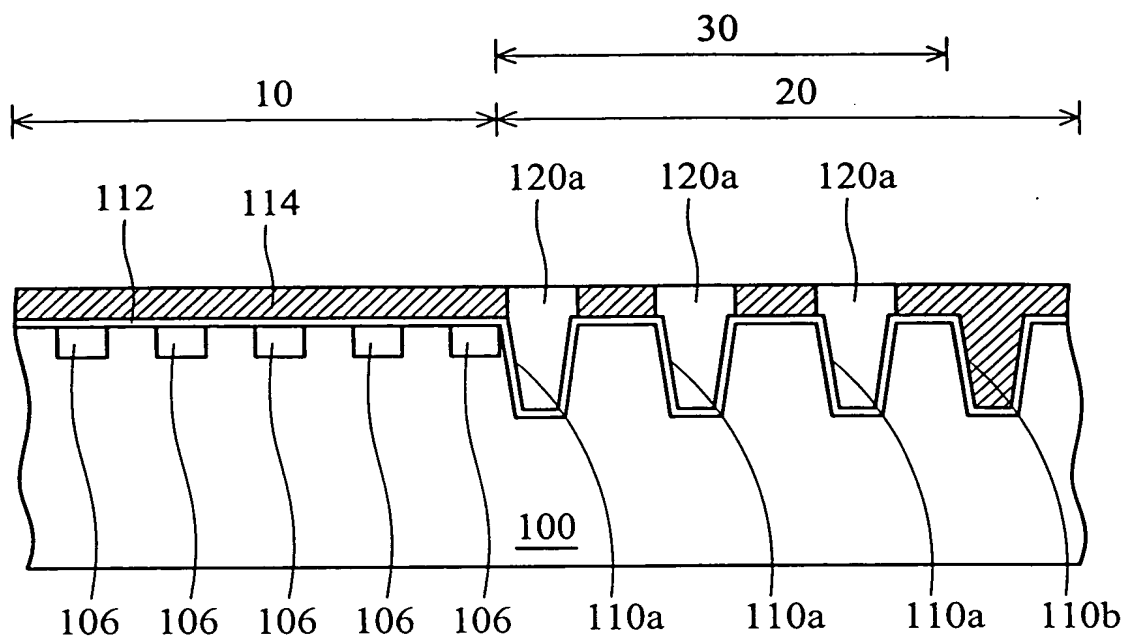
第 8 圖



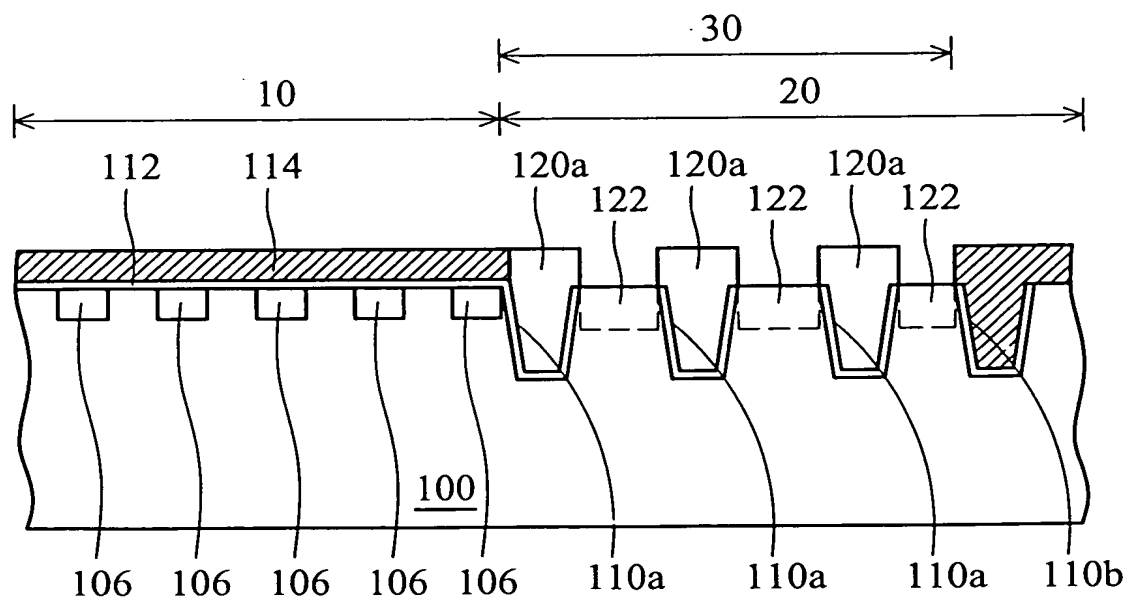
第 9 圖




第10圖



第 11 圖



第 12 圖




1
 2
 3
 4
 5
 6
 7
 8
 9
 10
 11
 12
 13
 14
 15
 16
 17
 18
 19
 20
 21
 22
 23
 24
 25
 26
 27
 28
 29
 30
 31
 32
 33
 34
 35
 36
 37
 38
 39
 40
 41
 42
 43
 44
 45
 46
 47
 48
 49
 50
 51
 52
 53
 54
 55
 56
 57
 58
 59
 60
 61
 62
 63
 64
 65
 66
 67
 68
 69
 70
 71
 72
 73
 74
 75
 76
 77
 78
 79
 80
 81
 82
 83
 84
 85
 86
 87
 88
 89
 90
 91
 92
 93
 94
 95
 96
 97
 98
 99
 100
 101
 102
 103
 104
 105
 106
 107
 108
 109
 110
 111
 112
 113
 114
 115
 116
 117
 118
 119
 120
 121
 122
 123
 124
 125
 126
 127
 128
 129
 130
 131
 132
 133
 134
 135
 136
 137
 138
 139
 140
 141
 142
 143
 144
 145
 146
 147
 148
 149
 150
 151
 152
 153
 154
 155
 156
 157
 158
 159
 160
 161
 162
 163
 164
 165
 166
 167
 168
 169
 170
 171
 172
 173
 174
 175
 176
 177
 178
 179
 180
 181
 182
 183
 184
 185
 186
 187
 188
 189
 190
 191
 192
 193
 194
 195
 196
 197
 198
 199
 200
 201
 202
 203
 204
 205
 206
 207
 208
 209
 210
 211
 212
 213
 214
 215
 216
 217
 218
 219
 220
 221
 222
 223
 224
 225
 226
 227
 228
 229
 230
 231
 232
 233
 234
 235
 236
 237
 238
 239
 240
 241
 242
 243
 244
 245
 246
 247
 248
 249
 250
 251
 252
 253
 254
 255
 256
 257
 258
 259
 260
 261
 262
 263
 264
 265
 266
 267
 268
 269
 270
 271
 272
 273
 274
 275
 276
 277
 278
 279
 280
 281
 282
 283
 284
 285
 286
 287
 288
 289
 290
 291
 292
 293
 294
 295
 296
 297
 298
 299
 300
 301
 302
 303
 304
 305
 306
 307
 308
 309
 310
 311
 312
 313
 314
 315
 316
 317
 318
 319
 320
 321
 322
 323
 324
 325
 326
 327
 328
 329
 330
 331
 332
 333
 334
 335
 336
 337
 338
 339
 340
 341
 342
 343
 344
 345
 346
 347
 348
 349
 350
 351
 352
 353
 354
 355
 356
 357
 358
 359
 360
 361
 362
 363
 364
 365
 366
 367
 368
 369
 370
 371
 372
 373
 374
 375
 376
 377
 378
 379
 380
 381
 382
 383
 384
 385
 386
 387
 388
 389
 390
 391
 392
 393
 394
 395
 396
 397
 398
 399
 400
 401
 402
 403
 404
 405
 406
 407
 408
 409
 410
 411
 412
 413
 414
 415
 416
 417
 418
 419
 420
 421
 422
 423
 424
 425
 426
 427
 428
 429
 430
 431
 432
 433
 434
 435
 436
 437
 438
 439
 440
 441
 442
 443
 444
 445
 446
 447
 448
 449
 450
 451
 452
 453
 454
 455
 456
 457
 458
 459
 460
 461
 462
 463
 464
 465
 466
 467
 468
 469
 470
 471
 472
 473
 474
 475
 476
 477
 478
 479
 480
 481
 482
 483
 484
 485
 486
 487
 488
 489
 490
 491
 492
 493
 494
 495
 496
 497
 498
 499
 500
 501
 502
 503
 504
 505
 506
 507
 508
 509
 510
 511
 512
 513
 514
 515
 516
 517
 518
 519
 520
 521
 522
 523
 524
 525

100

100



100



100

100

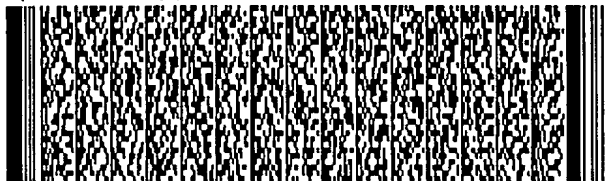


100

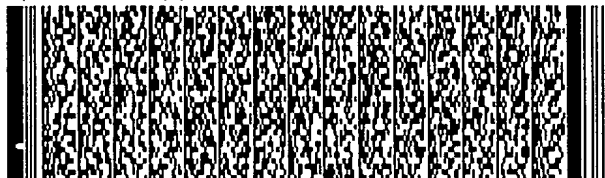
第 10/17 頁



第 11/17 頁



第 11/17 頁



第 12/17 頁



第 13/17 頁



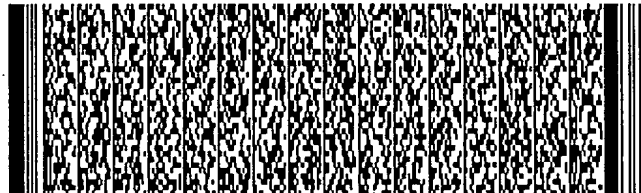
第 14/17 頁



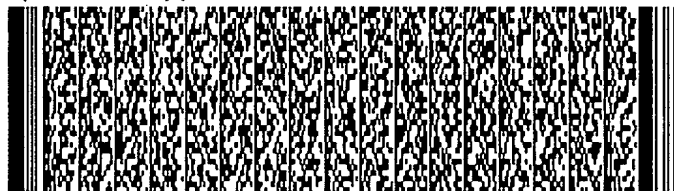
第 14/17 頁



第 15/17 頁



第 16/17 頁



第 17/17 頁

